

PAT-NO: JP411067957A

DOCUMENT-IDENTIFIER: JP 11067957 A

TITLE: ELECTRONIC COMPONENT AND MANUFACTURE  
OF ELECTRONIC COMPONENT

PUBN-DATE: March 9, 1999

INVENTOR-INFORMATION:  
NAME  
HAJI, HIROSHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
MATSUSHITA ELECTRIC IND CO LTD N/A

APPL-NO: JP09222196

APPL-DATE: August 19, 1997

INT-CL (IPC): H01L023/12, H01L021/60

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method of manufacturing an electronic component, which can favorably bond gold wires on copper pads on the surface and the rear of a substrate and at the same time, can perform favorable soldering to electrodes.

SOLUTION: Nickel films 22 and 25 are respectively formed on copper pads 21 on the surface of a substrate 11 and copper pads 24 on the rear of the substrate 11 and moreover, gold films 23 and 26 having a thickness of a full metallic bondability are respectively formed on the films

22 and the films 25.

In order to inhibit the formation of a gold-tin compound, which impairs the reliability of soldering, the gold films 26 on electrodes 16 which are soldered, are removed by dry etching to form the electrodes 16 into a thin film. Thereby, since the amount of gold, which is dissolved in a solder is suppressed, solder bumps can be formed favorably. Moreover, as the gold films 23 have full thickness, the connection of the gold films 23 with a semiconductor element can be made favorably with a wire bonding or the like, and the reliability of an electronic component can be enhanced.

COPYRIGHT: (C)1999,JPO

DERWENT-ACC-NO: 1999-239233

DERWENT-WEEK: 200408

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Solder bump formation for electronic  
component  
gold@ film on manufacture - involves dry etching  
on electrodes electrode before forming solder bumps

INVENTOR: HAJI, H; SAKEMI, S

PATENT-ASSIGNEE: MATSUSHITA DENKI SANGYO KK[MATU] ,  
MATSUSHITA ELECTRIC IND  
CO LTD[MATU]

PRIORITY-DATA: 1997JP-0222196 (August 19, 1997) ,  
1996JP-0319105 (November 29,  
1996)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
JP 11067957 A		March 9, 1999	N/A
005	H01L 023/12		
US 5909633 A		June 1, 1999	N/A
000	H01L 021/44		
KR 98042929 A		August 17, 1998	N/A
000	H01L 023/12		
KR 272399 B		November 15, 2000	N/A
000	H01L 023/12		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 11067957A	N/A	
1997JP-0222196	August 19, 1997	
US 5909633A	N/A	
1997US-0979694	November 26, 1997	
KR 98042929A	N/A	
1997KR-0064578	November 29, 1997	
KR 272399B	N/A	
1997KR-0064578	November 29, 1997	

KR 272399B  
N/A

Previous Publ.

KR 98042929

INT-CL (IPC): H01L021/44, H01L021/60 , H01L023/12

RELATED-ACC-NO: 1998-404446, 2002-457612 , 2004-075138

ABSTRACTED-PUB-NO: JP 11067957A

BASIC-ABSTRACT:

NOVELTY - Gold and nickel films are sequentially formed on copper pads of a substrate (11). A solder bump (17) is formed on electrode (16) which comprises gold film, after dry etching the gold film.

USE - For electronic component manufacture.

ADVANTAGE - Reliability of soldering of electrode is improved, by suppressing formation of compound of gold and tin. Nickel oxide formation is suppressed and thin gold film has sufficient bonding property, hence it connects semiconductor devices satisfactorily.

DESCRIPTION OF DRAWING - The figure represents structure of electronic component assembly. (11) Substrate; (16) Electrode; (17) Solder bump.

ABSTRACTED-PUB-NO: US 5909633A

EQUIVALENT-ABSTRACTS:

NOVELTY - Gold and nickel films are sequentially formed on copper pads of a substrate (11). A solder bump (17) is formed on electrode (16) which comprises gold film, after dry etching the gold film.

USE - For electronic component manufacture.

ADVANTAGE - Reliability of soldering of electrode is improved, by suppressing formation of compound of gold and tin. Nickel oxide

formation is suppressed  
and thin gold film has sufficient bonding property, hence  
it connects  
semiconductor devices satisfactorily.

DESCRIPTION OF DRAWING - The figure represents structure of  
electronic  
component assembly. (11) Substrate; (16) Electrode; (17)  
Solder bump.

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: SOLDER BUMP FORMATION ELECTRONIC COMPONENT  
MANUFACTURE DRY ETCH  
GOLD@ FILM ELECTRODE FORMING SOLDER BUMP  
ELECTRODE

DERWENT-CLASS: L03 U11

CPI-CODES: L04-C17A;

EPI-CODES: U11-C05G2B; U11-E01C;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-070235

Non-CPI Secondary Accession Numbers: N1999-178499

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67957

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

21/60

3 0 1

21/60

3 0 1 P

23/12

F

N

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平9-222196

(22) 出願日

平成9年(1997) 8月19日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 土師 宏

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

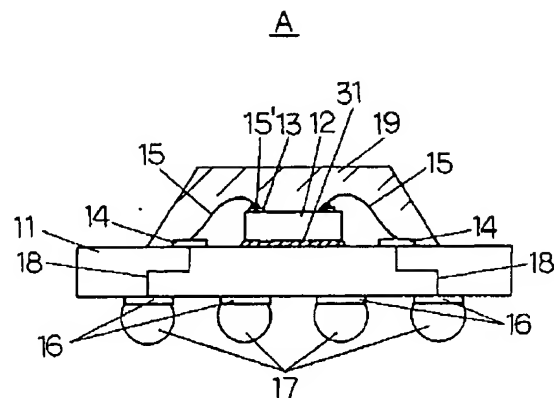
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 電子部品および電子部品の製造方法

(57) 【要約】

【課題】 基板の銅パッド上に、金ワイヤを良好にボンディングできるとともに、良好な半田付けが行える電子部品の製造方法を提供することを目的とする。

【解決手段】 基板11の銅パッド21、24上にニッケル膜22、25を形成し、更にニッケル膜22、25上に金属接合性が十分な厚みを有する金膜23、26を形成する。ハンダ付けの信頼性を損なう金とスズの化合物の形成を抑制するため、半田付けが行われる電極16については、電極16上の金膜26をドライエッチングにより除去し薄膜にする。これにより半田に溶解する金の量を抑えられるため半田バンプ17が良好に形成できる。また金膜23は十分な厚みを有しているためワイヤボンディングなど半導体素子との接続を良好に行うことができ、電子部品の信頼性を向上させることができる。



- 11 基板
- 12 チップ
- 14、16 電極
- 15 ワイヤ
- 17 半田バンプ

## 【特許請求の範囲】

【請求項1】銅の表面に少なくともニッケルを含むバリヤメタルが形成された基板と、前記バリヤメタル上に金属接合性が十分な厚みを以て形成された金膜と、前記基板上に搭載された半導体素子と、この半導体素子と前記金膜を接続する接続手段とを備え、前記金膜を薄膜化した電極上に半田付け部を有することを特徴とする電子部品。

【請求項2】銅の表面に少なくともニッケルを含むバリヤメタルを形成する工程と、このバリヤメタル上に金属接合性が十分な厚みの金膜を形成する工程と、半導体素子を前記基板上に搭載する工程と、この半導体素子を前記金膜に接続する工程と、前記半導体素子を樹脂封止する工程と、樹脂封止後に前記金膜をドライエッチングにより薄膜化する工程と、前記金膜を薄膜化した電極上に半田付けを行う工程とを含むことを特徴とする電子部品の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、電子部品および電子部品の製造方法に関するものである。

## 【0002】

【従来の技術】電子部品の組立て構造として、基板の表面の電極上に基板と半導体素子を接続するためのワイヤをボンディングするとともに、他の電極上に突出電極であるバンパを形成するものが知られている。このような電子部品としては、BGA(Ball Grid Array)パッケージが知られている。ワイヤとしては金ワイヤが多用されており、またバンパとしては半田が多用されている。

【0003】図10は従来の基板の断面図である。図中、1はガラエポ基板などの基板であり、その上側と下側の表面には回路パターン銅電極2、3が形成されている。また銅電極2、3上にはニッケル膜4、5が形成されており、ニッケル膜4、5上には金膜6、7が形成されている。そして上面側の銅電極2と下面側の銅電極3は内部配線8で接続されている。一方の銅電極2の金膜6上に基板1に搭載されたチップ(図外)を接続するための金ワイヤ9の先端をボンディングし、他方の銅電極3の金膜7上に半田バンパ10を形成して電子部品を組み立てる。

【0004】ニッケル膜4、5や金膜6、7は一般にメッキ法により形成される。金膜6、7は金ワイヤ9のボンディング性を向上させるためのに形成されている。従来、金膜6、7の厚さは0.2〜1ミクロン程度であってかなり厚いものである。ニッケル膜4、5は銅電極2、3の素材である銅が金膜6、7中へ拡散し、空気に触れて酸化膜を生じるのを防ぐためのバリヤメタルとして形成されている。なお金膜6の表面に酸化膜が生じれば、金ワイヤ9のボンディングが不良になる。

## 【0005】

【発明が解決しようとする課題】上記従来の方法では金を電解メッキするときにバリヤメタルであるニッケル膜4、5の成分のニッケルがメッキ液に溶け込みこのニッケルが金メッキに混入する。混入したニッケルのうち金膜6、7の表面に位置するものは、チップを固定する工程で加熱により酸化膜を形成する。この酸化膜は金ワイヤ9のボンディングを阻害する。金膜が厚くなるほどその表面のニッケルは少なくなるので、できるだけこの酸化膜が形成されないように金膜6、7の厚さはある程度以上に厚くする必要がある。

【0006】しかしながら金膜6、7を厚くすると半田バンパ10のボンディング力を低下させる。何故ならば、半田バンパ10を形成する際には、金膜7中の金は半田バンパ10中へ溶解して半田中のスズと脆い化合物を形成するからである。このように金ワイヤ9のボンディングのためには一方の金膜6は厚い方がよく、これに対し半田バンパ10の形成などの半田付けに際しては他方の金膜7は薄い方がよく、すなわち両者を同時に満足することができず背反関係にあるという問題点があった。

【0007】そこで本発明は、基板の電極上に、金ワイヤを良好にボンディングできるとともに、半田付けを良好に行える電子部品の製造方法を提供することを目的とする。

## 【0008】

【課題を解決するための手段】請求項1記載の電子部品は、銅の表面に少なくともニッケルを含むバリヤメタルが形成された基板と、前記バリヤメタル上に金属接合性が十分な厚みを以て形成された金膜と、前記基板上に搭載された半導体素子と、この半導体素子と前記金膜を接続する接続手段とを備え、前記金膜を薄膜化した電極上に半田付け部を有する。

【0009】請求項2記載の電子部品の製造方法は、銅の表面に少なくともニッケルを含むバリヤメタルを形成する工程と、このバリヤメタル上に金属接合性が十分な厚みの金膜を形成する工程と、半導体素子を前記基板上に搭載する工程と、この半導体素子を前記金膜に接続する工程と、前記半導体素子を樹脂封止する工程と、樹脂封止後に前記金膜をドライエッチングにより薄膜化する工程と、前記金膜を薄膜化した電極上に半田付けを行う工程とを含む。

## 【0010】

【発明の実施の形態】上記構成の本発明によれば、基板の電極上に金属接合性が十分な厚みの金膜を形成した後半田の接合性を阻害する金膜をプラズマクリーニングにより除去して薄くした後に半田バンパの形成を行うことにより、ワイヤボンディングなどによる金膜と半導体素子との接続が良好に行えるとともに、半田バンパを良好に形成できる。

【0011】以下、本発明の実施の形態を図面を参照して説明する。図1は本発明の一実施の形態の電子部品の組立構造図、図2、図3は同基板の断面図、図4は同基板の部分断面図、図5、図6は同基板の断面図、図7は同ドライエッチング装置の断面図、図8、図9は同基板の断面図である。

【0012】まず電子部品Aの構造について説明する。図1において、11は基板であり、基板11の上面上にはチップ12が熱硬化型接着剤31でボンディングされている。チップ12の表面の電極13と基板上面の電極14とは金ワイヤ15で電気的に接続されている。15'は金ワイヤの先端部に形成された金ボールであり、この金ボール15'が電極13にボンディングされている。

【0013】基板11の下面には、電極16が形成されている。電極16上には半田バンプ17が形成されている。電極14と電極16は内部配線18で接続されている。基板11の上面上はチップ12や金ワイヤ15を封止するため樹脂モールド19が形成されている。

【0014】次に図2～図8を参照して図1に示す電子部品の製造方法を説明する。なお図2～図8は製造工程順に示している。まず、図2に示すように、基板11の上面側に電極14が形成される。電極14は銅電極21上にバリアメタル層としてニッケル膜22をコーティングして形成し、更にニッケル膜22の上に金膜23が金属接合性が十分な厚み、すなわち金属とのボンディングを阻害しないために十分な厚み(0.2～1ミクロン程度)を以て形成されたものである。銅電極21は基板11の表面に銅箔を貼り付け、不要な部分をエッチングにより除去して形成される。また、ニッケル膜22および金膜23はメッキによって形成される。また下面側にも電極16が同様に形成される。電極16は銅電極24上にニッケル膜25をコーティングし、更にニッケル膜25の上に金膜26が上面側の電極14と同様に形成される。

【0015】次に、図3に示すように基板11の上面上に半導体素子であるチップ12が搭載される。チップ12は基板11の上面上に予め塗布された熱硬化型接着剤31によって接着され、その後基板11は熱処理される。熱硬化型接着剤31が硬化することによりチップ12は基板11に固定される。図4はこの熱処理後の基板11の電極14、16付近の断面図である。ここで金膜23、26は金属接合性に十分な厚みを有しているため、金ワイヤのボンディング性を阻害するニッケルの酸化膜は金膜23、26の表面には生じない。

【0016】次に図5に示すようにワイヤボンディングにより金ワイヤ15を上面側の電極14の金膜23上にボンディングする。これにより、チップ12は金膜23に接続される。したがって、金ワイヤ15はチップ12と金膜23とを接続する接続手段となっている。このとき金膜23の表面には金ワイヤのボンディング性を阻害

するニッケルの酸化膜がほとんどないため、良好なボンディングを行うことができる。この後、図6に示すように樹脂モールド19によるチップ12および金ワイヤ15の封止が行われる。

【0017】次に電極16側の金膜を薄くするために、ドライエッチングが行われる。以下図7を参照してこのドライエッチングに用いられるドライエッチング装置40の構造を説明する。図7において、41は上部ケーシングである。上部ケーシング41は下部ケーシング42とともに開閉可能な真空容器43を形成する。下部ケーシング42の底部には電極44が配設されている。電極44には高周波電源装置45が接続されている。下部ケーシング42の底面にはパイプ46、47、48が設けられている。パイプ46には真空源49が接続されている。またパイプ47にはアルゴンガスなどのプラズマエッチング用のガスを供給するガス供給部50が接続されている。またパイプ48には真空破壊用の弁51が接続されている。

【0018】上部ケーシング41の上部にはアース電極52が装着されている。アース電極52は接地部53に接地され、電極44と対置されている。電極44上には基板11が載置される。

【0019】このプラズマエッチング装置40は上記のような構成より成り、以下その動作を説明する。図7に示すように、基板11を反転し電極16側を上向きにして電極44上に載置した状態で上部ケーシング41が閉じられる。次に真空源49が真空吸引を開始し、真空容器43内部が所定の真空度に到達する。次にガス供給装置50よりアルゴンガスが真空容器43内部に供給されるとともに、電極44には高周波電源装置45により高周波電圧が印加される。真空容器43内部のアルゴンガスはプラズマ状態のアルゴンイオンとなり、図7において破線矢印で示すように電極44上に載置された基板11の上面に衝突してエッチングする。このようにして電極16表面の金膜26が除去され、金膜26は厚さ0.01～0.2ミクロン程度に薄膜化される。金膜26を完全に除去しないのは、溶融した半田と電極16とのぬれ性を良好に保つためである。

【0020】次に図8に示すように、電極16側の金膜26上に半田ボール17が搭載される。このとき、半田ボール17と金膜26の間にはフラックス20が塗布される。この後基板11はリフロー工程に送られ、半田ボール17は電極16面に半田付けされ、半田付け部としての半田バンプ17となって図1に示す電子部品Aは完成する。このとき金膜26は半田バンプ17中に溶解するが、金膜26はドライエッチングにより薄膜化されているため半田バンプ17中に溶解する金の量はきわめて少量である。したがって半田バンプ17のボンディング性を悪化させる金とスズの化合物の形成はわずかでであり、信頼性の高い半田バンプ17が形成される。また、



5

金膜26の表面はエッチング処理されるため、半田のぬれ性を阻害するニッケルや汚染物等もきれいに取り除かれている。したがって半田を電極にぬれ性よく接合させることができる。

【0021】本発明は上記実施の形態に限定されないものであって、上記実施の形態ではワイヤボンディングにより半導体素子を電極14の金膜23に接続する例を示しているが、接続の方法はこれに限定されず、リボンボンディング、TABボンディング、フリップチップボンディングなどによるものであってもよい。

【0022】また、上記実施の形態では基板11の一方側に半導体素子が搭載され、他方の側に半田バンプが形成される例を示しているが、要はボンディングと半田付けが同一の基板内に混在する形態であればよい。例えば図9(a)に示すように、基板41に半導体素子42を搭載してワイヤボンディングにより基板41の電極と接続し、この同一面に形成された電極44上の金膜を薄膜化した後に電子部品45を半田付けにより実装する形態であってもよく、更に図9(b)に示すように基板46の電極47に半導体素子48をワイヤボンディングにより接続し、同一面に形成された電極49上の金膜を薄膜化した後に半田バンプ50を形成する形態であってもよい。

【0023】

【発明の効果】本発明は、基板の電極上に金属接合性が十分な厚みの金膜を形成した後に半田の接合性を阻害する金膜をドライエッチングにより除去して薄くした後に

6

半田バンプなどの半田付けを行うようにしているので、ワイヤボンディングなどによる金膜と半導体素子との接続に対してはボンディングを妨げるニッケルの酸化膜がなく良好なボンディングを行えとともに、半田付けに対してはスズと金の脆弱な化合物の生成がなく良好な半田付けを行うことができ、したがって信頼性の高い電子部品を得ることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態の電子部品の組立構造図

10 【図2】本発明の一実施の形態の基板の断面図

【図3】本発明の一実施の形態の基板の断面図

【図4】本発明の一実施の形態の基板の部分断面図

【図5】本発明の一実施の形態の基板の断面図

【図6】本発明の一実施の形態の基板の断面図

【図7】本発明の一実施の形態のドライエッチング装置の断面図

【図8】本発明の一実施の形態の基板の断面図

【図9】本発明の一実施の形態の基板の断面図

【図10】従来の基板の断面図

20 【符号の説明】

11 基板

12 チップ

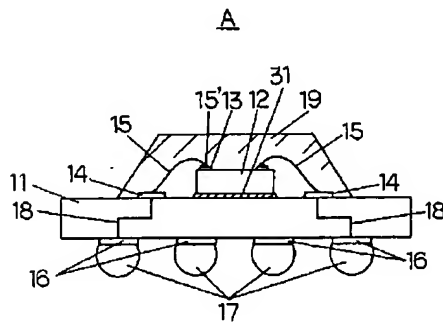
14、16 電極

15 ワイヤ

17 半田バンプ

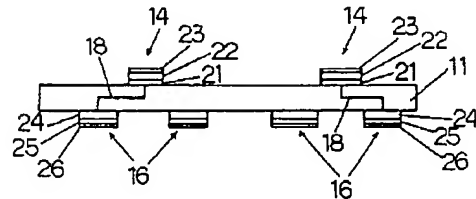
23、26 金膜

【図1】



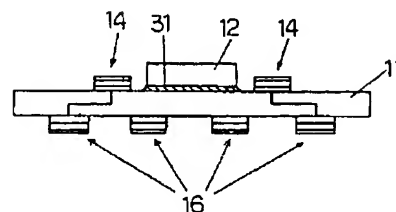
11 基板  
12 チップ  
14、16 電極  
15 ワイヤ  
17 半田バンプ

【図2】

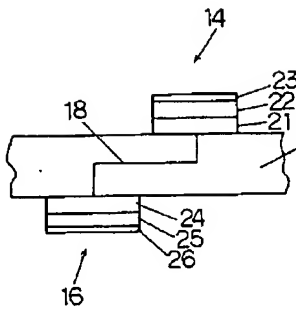


23、26 金膜

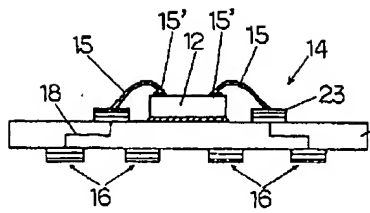
【図3】



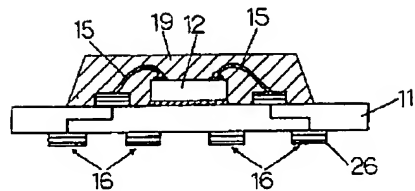
【図4】



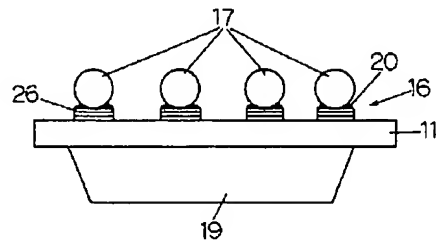
【図5】



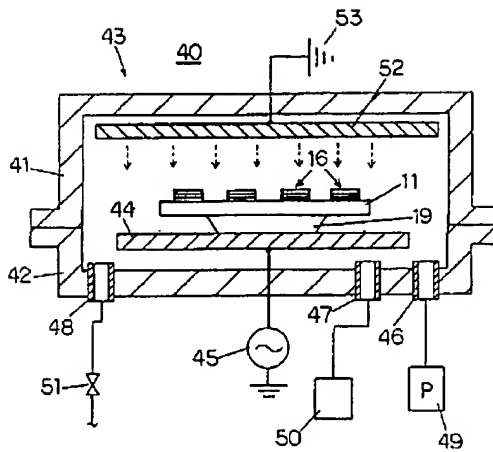
【図6】



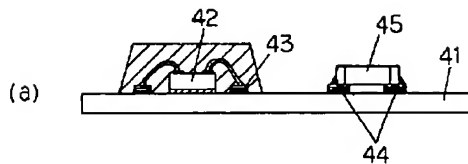
【図8】



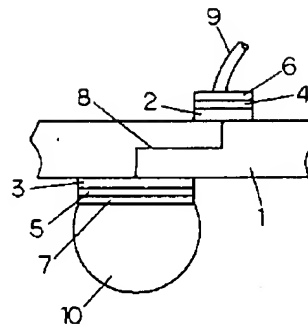
【図7】



【図9】



【図10】



(b)

